

## Οδηγός Σπουδών του Προγράμματος

**“ ΣΕΣ Ι - ΣΧΕΔΙΑΣΗ ΕΝΣΩΜΑΤΩΜΕΝΩΝ ΣΥΣΤΗΜΑΤΩΝ & ΕΦΑΡΜΟΓΕΣ  
ΜΙΚΡΟΕΛΕΓΚΤΩΝ ΣΤΟ ΔΙΑΔΙΚΤΥΟ ΤΩΝ ΠΡΑΓΜΑΤΩΝ (με χρήση Intel FGAs)  
(EMBEDDED SYSTEM DESIGN & MICROCONTROLLER APPLICATIONS FOR THE  
INTERNET OF THINGS)»**



ΠΑΤΡΑ, 2024

## Περιεχόμενα

|                                                                            |    |
|----------------------------------------------------------------------------|----|
| A. Γενικά Στοιχεία & Περιγραφή Προγράμματος.....                           | 3  |
| B. Δομή του Προγράμματος .....                                             | 6  |
| Γ. Μεθοδολογία Υλοποίησης του Προγράμματος , Αξιολόγηση & Πιστοποίηση..... | 11 |
| Δ. Τρόπος Επιλογής & Εγγραφή στο Πρόγραμμα.....                            | 13 |

## A. Γενικά Στοιχεία & Περιγραφή Προγράμματος

**Τίτλος Προγράμματος:** Σχεδίαση ενσωματωμένων συστημάτων και εφαρμογές μικροελεγκτών στο Διαδίκτυο των Πραγμάτων (IoT) - (με χρήση Intel FPGAs) (I)  
EMBEDDED SYSTEM DESIGN & MICROCONTROLLER APPLICATIONS FOR THE INTERNET OF THINGS

**Συνολική διάρκεια (σε αριθμό ωρών και αριθμό εβδομάδων): 250ΩΡΕΣ/18 ΕΒΔΟΜΑΔΕΣ**

**Μονάδες ECTS:10**

**Μέθοδος υλοποίησης και διαδικασίες παρακολούθησης:**

Εξ αποστάσεως

**Θεματικό Πεδίο**

1. Θετικών Επιστημών και Τεχνολογίας

**Θεματικές Ενότητες του Προγράμματος:**

|    |                                                                         |
|----|-------------------------------------------------------------------------|
| 1  | Εισαγωγή στον σχεδιασμό ψηφιακών & ενσωματωμένων συστημάτων             |
| 2  | VHDL: Εισαγωγή στον Ιεραρχικό Σχεδιασμό Κυκλωμάτων                      |
| 3  | Προχωρημένα θέματα σχεδιασμού και συγγραφής κώδικα VHDL                 |
| 4  | Διασύνδεση και επικοινωνία πολύπλοκων συστημάτων                        |
| 5  | Αρχιτεκτονικές διαύλων επικοινωνίας                                     |
| 6  | FPGAs: Σχεδίαση, εξομοίωση, σύνθεση                                     |
| 7  | FPGAs: Υλοποίηση συστημάτων (Place and route), προγραμματισμός συσκευής |
| 8  | Εισαγωγή στον επεξεργαστή NiosII                                        |
| 9  | Αρχιτεκτονική NiosII: Δίευλοι επικοινωνίας, I/Os, σύνολο εντολών        |
| 10 | Δεδομένα, πράξεις, κώδικας για NiosII, εξομοίωση κώδικα                 |
| 11 | Ενσωμάτωση NiosII σε ένα σύστημα                                        |
| 12 | Ροή σχεδίασης ενός συστήματος System on Chip                            |
| 13 | Διασύνδεση περιφερειακών συστημάτων                                     |
| 14 | Προχωρημένα θέματα προγραμματισμού System on Chip                       |

**Χώρος/οι Διεξαγωγής Προγράμματος**

Το πρόγραμμα υλοποιείται αποκλειστικά εξ αποστάσεως με την χρήση της πλατφόρμας διαχείρισης περιεχομένου learn.eap.gr σε συνδυασμό με το πρόγραμμα τηλεδιασκέψεων Cisco Webex (ή όποιου άλλο κρίνει δόκιμο το ΕΑΠ).

**Σκοπός και προσδοκώμενα μαθησιακά αποτελέσματα του προγράμματος:**

Βασικός στόχος του Εκπαιδευτικού Προγράμματος ΣΕΣ είναι να καλύψει τις ανάγκες για εκπαίδευση με πρακτική (Hands-on) εργαστηριακή εξάσκηση σε μεταπτυχιακό επίπεδο σε μεθοδολογίες ψηφιακής σχεδίασης πολύπλοκων συστημάτων με χρήση προηγμένων τεχνολογιών μικροηλεκτρονικής (Systems-on-Chip, Field Programmable Gate Arrays) και ενσωματωμένων συστημάτων (embedded systems). Έμφαση δίνεται στην εκπαίδευση στην χρήση των παραπάνω τεχνολογιών για την ανάπτυξη

εφαρμογών με αξιοποίηση σύγχρονων μικροελεγκτών και των αντίστοιχων ροών σχεδίασης και ανάπτυξης με έμφαση στις εφαρμογές δικτύων αισθητήρων και του Διαδικτύου των Πραγμάτων (Internet of Things, IoT). Οι εφαρμογές ενδιαφέροντος εστιάζουν στις ασύρματες επικοινωνίες σε περιβάλλοντα δικτύων αισθητήρων, έναν ολοένα αναπτυσσόμενο τομέα που απαιτεί νέες τεχνικές και πρωτόκολλα για επιτυχημένη επικοινωνία, και ενδεικτικά περιλαμβάνει ασύρματα δίκτυα αισθητήρων, ρομποτικές εφαρμογές και άλλα είδη εφαρμογών αυτοματισμού καθώς και την αποτελεσματική συλλογή και διαχείριση των δεδομένων τους αξιοποιώντας εφαρμογές υπολογιστικού νέφους (cloud).

Μετά την ολοκλήρωση του προγράμματος οι εκπαιδευόμενοι θα είναι σε θέση να:

- Χρησιμοποιούν βασικές αρχές ιεραρχικού σχεδιασμού σύνθετων ψηφιακών κυκλωμάτων
- Περιγράφουν τους βασικούς κανόνες συσχεδίασης υλικού / λογισμικού
- Χρησιμοποιούν γλώσσες προδιαγραφών υψηλού επιπέδου για τον σχεδιασμό ψηφιακών συστημάτων
- Σχεδιάζουν συστήματα SoC με χρήση μικροεπεξεργαστών διαθέσιμων για υλοποίηση σε FPGA
- Να σχεδιάζουν και να εξομοιώνουν σύνθετα ψηφιακά κυκλώματα σε σύγχρονα εργαλεία εξομοίωσης (Altera Quartus)
- Να σχεδιάζουν βασικά ολοκληρωμένα συστήματα System on Chip
- Να σχεδιάζουν συστήματα με προσχεδιασμένες υπολογιστικές μονάδες (hard, soft macros) για την ανάπτυξη ενός σύνθετου System on Chip συστήματος
- Να προγραμματίζουν σύγχρονους μικροεπεξεργαστές με γλώσσα υψηλού επιπέδου.

#### **Σε ποιους απευθύνεται το πρόγραμμα:**

Το συγκεκριμένο Εκπαιδευτικό Πρόγραμμα στοχεύει στην κάλυψη μίας αυξανόμενης ανάγκης πρακτικής (Hands-on) εξάσκησης αποφοίτων Πολυτεχνικών Σχολών, Πληροφορικής, Ηλεκτρονικών και σχετικών τμημάτων που συμπεριλαμβάνουν βασικά αντικείμενα ψηφιακών συστημάτων στα προγράμματα σπουδών τους, η οποία δεν καλύπτεται σε ικανοποιητικό βαθμό στα προπτυχιακά αλλά και περισσότερα μεταπτυχιακά προγράμματα σπουδών στα Ελληνικά ΑΕΙ.

#### **Στοιχεία Ακαδημαϊκά Υπεύθυνου/ης**

Ονοματεπώνυμο: **Θεοφάνης Ορφανουδάκης**

Ιδιότητα: **Αναπληρωτής Καθηγητής, ΣΘΕΤ, ΕΑΠ**

Email Επιστημονικά Υπεύθυνου/ης: [fanis@eap.gr](mailto:fanis@eap.gr)

Τμήμα:

**Σχολή: ΣΧΟΛΗ ΘΕΤΙΚΩΝ ΕΠΙΣΤΗΜΩΝ & ΤΕΧΝΟΛΟΓΙΑΣ**

**Πλήρες βιογραφικό σημείωμα Επιστημονικά Υπεύθυνου/ης** (link που οδηγεί στο βιογραφικό σημείωμα): [https://dsmc2.eap.gr/?page\\_id=2899](https://dsmc2.eap.gr/?page_id=2899)

## **Σύντομο βιογραφικό σημείωμα Επιστημονικά Υπεύθυνου Προγράμματος**

**Ο Δρ. Ορφανουδάκης Θεοφάνης** γεννήθηκε στην Αθήνα τον Μάρτιο του 1973. Απέκτησε το δίπλωμά του ως Ηλεκτρολόγος Μηχανικός και Μηχανικός Η/Υ (ΗΜΜΥ) από το Εθνικό Μετσόβιο Πολυτεχνείο (Ε.Μ.Π.) το 1995 και ανακηρύχθηκε διδάκτωρ του Ε.Μ.Π. (στον τομέα Τηλεπικοινωνιών) το 1998. Από το 1995 έως το 1999, εργάστηκε ως επιστημονικός συνεργάτης του Εργαστηρίου Τηλεπικοινωνιών του τομέα Πληροφορικής του Εθνικού Μετσόβιου Πολυτεχνείου και παράλληλα του Ερευνητικού Πανεπιστημιακού Ινστιτούτου Συστημάτων Επικοινωνιών και Υπολογιστών (ΕΠΙΣΕΥ). Συμμετείχε σε πολλά Ευρωπαϊκά ερευνητικά προγράμματα στον τομέα των ψηφιακών τηλεπικοινωνιακών συστημάτων και ευρυζωνικών δικτύων πρόσβασης (broadbandaccessnetworks). Την περίοδο 1999-2005 9 εργάστηκε για την Ellemedia Technologies, ως υπεύθυνος έργων έρευνας και ανάπτυξης στον τομέα των ευρυζωνικών δικτύων (broadbandsystems) και ψηφιακών μικροηλεκτρονικών & υπολογιστικών συστημάτων υψηλής τεχνολογίας για δικτυακές εφαρμογές (BroadbandNetworkingComponents). Την περίοδο 1999- 2006 δίδαξε παράλληλα στο ΤΕΙ Πειραιά ως εργαστηριακός και ως επιστημονικός συνεργάτης και συνεργάστηκε στην εκπόνηση ερευνητικών έργων. Την περίοδο 2005-2015 δίδαξε στο Πανεπιστήμιο Πελοποννήσου (Σχολή Θετικών Επιστημών, Τμήμα Επιστήμης & Τεχνολογίας Τηλεπικοινωνιών) ως διδακτικό προσωπικό επί συμβάσει και συνεργάστηκε στην εκπόνηση ερευνητικών έργων. Την περίοδο 2008- 2012 συνεργάστηκε με το Εθνικό Μετσόβιο Πολυτεχνείο (Ε.Μ.Π.) στα πλαίσια του Διατμηματικού Προγράμματος Μεταπτυχιακών Σπουδών (Δ.Π.Μ.Σ.) «Τεχνοοικονομικά συστήματα» και την περίοδο 2010-2013 συνεργάστηκε με το Πανεπιστήμιο Πελοποννήσου στα πλαίσια του Προγράμματος Μεταπτυχιακών Σπουδών (Π.Μ.Σ.) «Προηγμένα Τηλεπικοινωνιακά Συστήματα και Δίκτυα». Από το 2013 έχει εκλεγεί ως μέλος ΔΕΠ (σήμερα υπηρετεί στη βαθμίδα του Αναπληρωτή Καθηγητή) της Σχολής Θετικών Επιστημών και Τεχνολογίας του Ελληνικού Ανοικτού Πανεπιστημίου. Από το 2017 έχει αναλάβει την διεύθυνση του Εργαστηρίου Εκπαιδευτικού Υλικού και Εκπαιδευτικής Μεθοδολογίας του ΕΑΠ και από το 2020 την διεύθυνση του Εργαστηρίου της Ψηφιακών Συστημάτων της ΣΘΕΤ ΕΤΑΠ. Παράλληλα έχει αναπτύξει δραστηριότητα ως ελεύθερος επαγγελματίας/ερευνητής συνεργαζόμενος με εκπαιδευτικά ιδρύματα, οργανισμούς του δημοσίου και ιδιωτικές εταιρείες ως εξωτερικός ερευνητικός συνεργάτης, εκπαιδευτής σε επιμορφωτικά σεμινάρια και αξιολογητής έργων. Τα ερευνητικά του ενδιαφέροντα περιλαμβάνουν σχεδίαση, ανάλυση απόδοσης και υλοποίηση ψηφιακών δικτυακών συστημάτων, ευρυζωνικών δικτύων και υπηρεσιών, σχεδίαση ενσωματωμένων ελεγκτών, μελέτη επίδοσης πρωτοκόλλων πολλαπλής πρόσβασης, μηχανισμούς ελέγχου κίνησης και κατανομής πόρων δικτυοκεντρικών εφαρμογών και την ανάπτυξη και σχεδιασμό συστημάτων, εφαρμογών και μεθοδολογιών για την τεχνολογικά υποστηριζόμενη μάθηση και την ανοικτή εξ αποστάσεως εκπαίδευση. Έχει συνολικά 37 δημοσιεύσεις σε διεθνή περιοδικά, 82 δημοσιεύσεις σε διεθνή συνέδρια (13 εκ των οποίων 10 προσκεκλημένες) με περισσότερες από 800 ετεροαναφορές στο έργο του (h-index 18, πηγή GoogleScholar), ενώ έχει συμμετάσχει στην διοργάνωση διεθνών συνεδρίων και διατελεί και ο ίδιος κριτής σε 11 διεθνή περιοδικά (IEEE, Elsevier, OSA κ.α.) και μεγάλο αριθμό συνεδρίων. Ο Δρ. Ορφανουδάκης είναι μέλος του Διεθνούς Ινστιτούτου Ηλεκτρολόγων & Ηλεκτρονικών Μηχανικών (SM IEEE) και του Τεχνικού Επιμελητηρίου της Ελλάδος (ΤΕΕ).

### **Εκπαιδευτές**

Ο **Αναστάσιος Φαναριώτης** είναι ερευνητής του Ελληνικού Ανοικτού Πανεπιστημίου με εκτενή εμπειρία στην Σχεδίαση Ενσωματωμένων Συστημάτων. Απέκτησε το Πτυχίο του στην Πληροφορική από το Ε.Α.Π. το 2015 και το Δίπλωμά του στο ΜΠΣ «Συστήματα κινητού και διάχυτου υπολογισμού» το 2019 από το ίδιο Πανεπιστήμιο. Από το 2015 έως το 2023, εργάζεται ως ερευνητικός συνεργάτης του

Εργαστηρίου Ψηφιακών συστημάτων του ΕΑΠ όπου σχεδίασε την εκπαιδευτική πλακέτα DSD-i1 για το ΠΣ «Πληροφορική» του ΕΑΠ ενώ από το 2020 έως σήμερα διατελεί ως υπεύθυνος Τομέα Συστημάτων Στο Εργαστήριο Εκπαιδευτικού Υλικού και εκπαιδευτικής Μεθοδολογίας του ΕΑΠ. Από το 2015 έως σήμερα έχει συμμετάσχει στα ερευνητικά έργα: “Computer Science For High School[2015-2016]”, “(EMYNOS) nExt generation eMergencY commuNicatiOnS[2016-20]”, “MultiserviceCapable iNtelligent Transportation Systems (MANTIS) [2019-22]”, “Migrant Children and Communities in a TransformingEurope (MiCREATE) [2021]”, “Πλάνα πράσινης ανάπτυξης από επιστήμονες ψηφιακού μετασχηματισμού (PaRaDIGM) [2022-23]” και “Αξιοποιώντας τις τεχνολογίες της ευρωπαϊκής βιομηχανίας XR για την ενίσχυση της εμπυθιστικής μάθησης και εκπαίδευσης (XR2Learn) [2023]”. Το 2023 δίδαξε στο ΚΕ.ΔΙ.ΒΙ.Μ του ΕΑΠ «Σχεδίαση ενσωματωμένων συστημάτων και εφαρμογές μικροελεγκτών στο Διαδίκτυο των Πραγμάτων (IoT)». Έχει συνολικά 4 δημοσιεύσεις σε διεθνή Περιοδικά, Δημοσίευση σε διεθνή συλλογικό τόμο και 8 δημοσιεύσεις σε Διεθνή συνέδρια ενώ διατελεί ως κριτής σε 2 διεθνή περιοδικά (IEEE).

## B. Δομή του Προγράμματος

### Θεματικές Ενότητες Προγράμματος & Περιγραφή τους:

#### Ενότητα 1: Εισαγωγή στον σχεδιασμό ψηφιακών & ενσωματωμένων συστημάτων

Σκοποί της ενότητας είναι:

- Η γνωριμία και ενημέρωση για την διοργάνωση του προγράμματος
- Κατανόηση των μεθόδων σχεδίασης, ανάπτυξης και εκσφαλμάτωσης
- Κατανόηση των βασικών συντακτικών κανόνων της γλώσσας VHDL για την περιγραφή συνδυαστικών κυκλωμάτων
- Κατανόηση των εισαγωγικών δομών της γλώσσας VHDL για την περιγραφή συνδυαστικών κυκλωμάτων.
- Ανάπτυξη δεξιοτήτων χρήσης των εργαλείων προσομοίωσης και κατανόησης του τρόπου λειτουργίας τους.

#### Ενότητα 2: VHDL: Εισαγωγή στον Ιεραρχικό Σχεδιασμό Κυκλωμάτων

Σκοποί της ενότητας είναι:

- Η κατανόηση δομών της γλώσσας VHDL για την περιγραφή ιεραρχικών συστημάτων
- Η κατανόηση των διεπαφών μεταξύ δομικών μονάδων
- Η κατανόηση των τρόπων επικοινωνίας μεταξύ δομικών μονάδων
- Η κατανόηση των τρόπων λειτουργικής διασύνδεσης δομικών μονάδων

#### Ενότητα 3: Προχωρημένα θέματα σχεδιασμού και συγγραφής κώδικα VHDL

Σκοποί της ενότητας είναι:

- Η εμβάθυνση στις μεθόδους σχεδίασης, ανάπτυξης και εκσφαλμάτωσης
- Η κατανόηση δομών της γλώσσας VHDL για την περιγραφή σύνθετων σημάτων
- Η ανάπτυξη δεξιοτήτων για τον σχεδιασμό ακολουθιακών κυκλωμάτων
- Η κατανόηση των μηχανών πεπερασμένων καταστάσεων

#### **Ενότητα 4: Διασύνδεση και επικοινωνία πολύπλοκων συστημάτων.**

Σκοποί της ενότητας είναι:

- Κατανόηση των τεχνικών διασύνδεσης πολύπλοκων συστημάτων σε επίπεδο υλικού.
- Ανάπτυξη δεξιοτήτων για τη σχεδίαση και την επικοινωνία μεταξύ διαφορετικών επιμέρους στοιχείων συστημάτων.
- Κατανόηση πώς οι διάφορες μονάδες μπορούν να αλληλεπιδρούν μεταξύ τους σε ένα σύνολο πολύπλοκων συστημάτων.

#### **Ενότητα 5: Αρχιτεκτονικές διαύλων επικοινωνίας**

Σκοποί της ενότητας είναι:

- Κατανόηση των διαφορετικών αρχιτεκτονικών διαύλων επικοινωνίας
- Ανάπτυξη δεξιοτήτων για τον σχεδιασμό μονάδων διασύνδεσης μέσω τυποποιημένων διαύλων

#### **Ενότητα 6: FPGAs: Σχεδίαση, εξομοίωση, σύνθεση**

Σκοποί της ενότητας είναι:

- Κατανόηση των διαφορετικών τεχνολογιών υλοποίησης ενσωματωμένων συστημάτων
- Κατανόηση της τεχνολογίας των προγραμματίσιμων συστοιχιών (FPGA)
- Ανάπτυξη δεξιοτήτων υλοποίησης ψηφιακών κυκλωμάτων με χρήση εργαλείων προγραμματισμού FPGA
- Κατανόηση των μέσων για την δέσμευση φυσικών πόρων επί FPGA και επί της αναπτυξιακής πλατφόρμας

#### **Ενότητα 7: FPGAs: Υλοποίηση συστημάτων (Place and route), προγραμματισμός συσκευής**

Σκοποί της ενότητας είναι:

- Ανάπτυξη δεξιοτήτων υλοποίησης συνθέτων ψηφιακών κυκλωμάτων με χρήση εργαλείων προγραμματισμού FPGA
- Ανάπτυξη δεξιοτήτων υλοποίησης ψηφιακών διατάξεων με διασύνδεση FPGAs και διακριτών ηλεκτρονικών στοιχείων
- Κατανόηση των μέσων για την δέσμευση φυσικών πόρων επί FPGA και επί της αναπτυξιακής πλατφόρμας

#### **Ενότητα 8: Εισαγωγή στον επεξεργαστή NiosII**

Σκοποί της ενότητας είναι:

- Γνωριμία-κατανόηση της βασικής δομής του επεξεργαστή Nios II.
- Εξοικείωση με το περιβάλλον ανάπτυξης (IDE) για τον επεξεργαστή Nios II.
- Αναγνώριση των κύριων πλεονεκτημάτων και εφαρμογών του επεξεργαστή Nios II σε σχέση με άλλες αρχιτεκτονικές.

#### **Ενότητα 9: Αρχιτεκτονική NiosII: Δίαυλοι επικοινωνίας, I/Os, σύνολο εντολών**

Σκοποί της ενότητας είναι:

- Κατανόηση της αρχιτεκτονικής του επεξεργαστή Nios II

- Εξοικείωση με τους εσωτερικούς καταχωρητές του Nios II
- Επισκόπηση του συνόλου εντολών του επεξεργαστή Nios II
- Εξοικείωση με την αρχιτεκτονική μνήμης του Nios II

#### **Ενότητα 10:** Δεδομένα, πράξεις, κώδικας για NiosII, εξομοίωση κώδικα

Σκοποί της ενότητας είναι:

- Εξοικείωση με το σύνολο εντολών του επεξεργαστή Nios II
- Κατανόηση της αναπαράστασης δεδομένων στον επεξεργαστή Nios II.
- Εκτέλεση αριθμητικών πράξεων και διάφορων επεξεργασιών δεδομένων.
- Εξοικείωση με τη γλώσσα προγραμματισμού (C/C++ ή Assembly) για τον επεξεργαστή Nios II και εξομοίωση κώδικα για ανάλυση συμπεριφοράς
- Ανάπτυξη δεξιοτήτων προγραμματισμού του επεξεργαστή Nios II

#### **Ενότητα 11:** Ενσωμάτωση NiosII σε ένα σύστημα

Σκοποί της ενότητας είναι:

- Κατανόηση της διαδικασίας ενσωμάτωσης του επεξεργαστή Nios II σε ένα ενσωματωμένο σύστημα.
- Ανάπτυξη δεξιοτήτων για τον έλεγχο εξωτερικών συσκευών και την αλληλεπίδραση του επεξεργαστή με το περιβάλλον του.

#### **Ενότητα 12:** Ροή σχεδίασης ενός συστήματος System on Chip

Σκοπός της ενότητας είναι:

- Η ανάπτυξη δεξιοτήτων υλοποίησης σύνθετων κυκλωμάτων επί μονού ολοκληρωμένου (System on Chip) με χρήση εργαλείων προγραμματισμού FPGA (Qsys)

#### **Ενότητα 13:** Διασύνδεση περιφερειακών συστημάτων

Σκοπός της ενότητας είναι:

- Η ανάπτυξη δεξιοτήτων διαμόρφωσης του επεξεργαστή Nios II για επικοινωνία με εξωτερικά περιφερειακά

#### **Ενότητα 14:** Προχωρημένα θέματα προγραμματισμού System on Chip

Σκοπός της ενότητας είναι:

- Η κατανόηση λειτουργίας του μοντέλου προγραμματισμού ενός παραμετροποιήσιμου (configurable) επεξεργαστή



## Χρονοδιάγραμμα Υλοποίησης Επιμέρους Διδακτικών Ενοτήτων

| Τίτλος ενότητας                                                         | Εβδομάδα | Ώρες | ECTS | ΕΚΠΑΙΔΕΥΤΗΣ/ΤΡΙΑ      |
|-------------------------------------------------------------------------|----------|------|------|-----------------------|
| Εισαγωγή στον σχεδιασμό ψηφιακών & ενσωματωμένων συστημάτων             | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| VHDL: Εισαγωγή στον Ιεραρχικό Σχεδιασμό Κυκλωμάτων                      | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Προχωρημένα θέματα σχεδιασμού και συγγραφής κώδικα VHDL                 | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Διασύνδεση και επικοινωνία πολύπλοκων συστημάτων                        | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Αρχιτεκτονικές διαύλων επικοινωνίας                                     | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| FPGAs: Σχεδίαση, εξομοίωση, σύνθεση                                     | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| FPGAs: Υλοποίηση συστημάτων (Place and route), προγραμματισμός συσκευής | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Εισαγωγή στον επεξεργαστή NiosII                                        | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Αρχιτεκτονική NiosII: Δίευλοι επικοινωνίας, I/Os, σύνολο εντολών        | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Δεδομένα, πράξεις, κώδικας για NiosII, εξομοίωση κώδικα                 | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Ενσωμάτωση NiosII σε ένα σύστημα                                        | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Ροή σχεδίασης ενός συστήματος System on Chip                            | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Διασύνδεση περιφερειακών συστημάτων                                     | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| Προχωρημένα θέματα προγραμματισμού System on Chip                       | 1        | 16   | 0.64 | ΑΝΑΣΤΑΣΙΟΣ ΦΑΝΑΡΙΩΤΗΣ |
| ΕΠΑΝΑΛΗΨΗ                                                               | 1        | 10   | 0.40 |                       |
| ΕΠΑΝΑΛΗΨΗ                                                               | 1        | 10   | 0.40 |                       |
| ΕΞΕΤΑΣΕΙΣ                                                               | 1        | 3    | 0.12 |                       |
| ΕΞΕΤΑΣΕΙΣ                                                               | 1        | 3    | 0.12 |                       |
| <b>ΣΥΝΟΛΟ</b>                                                           | 18       | 250  | 10   |                       |

## Γ. Μεθοδολογία Υλοποίησης του Προγράμματος , Αξιολόγηση & Πιστοποίηση

### Διδασκαλία & Παρακολούθηση:

Το Πρόγραμμα έχει τη μορφή e-learning και προσφέρεται σε δύο (2) ανεξάρτητους αλλά συμπληρωματικούς εξαμηνιαίους κύκλους. Κάθε κύκλος διαρκεί 250 ώρες που κατανέμονται σε 16 εβδομάδες, αντιστοιχεί σε 10 μονάδες ECTS και εντάσσεται στο 7ο επίπεδο του Ευρωπαϊκού Πλαισίου Προσόντων (EQF). Οι ενδιαφερόμενοι μπορούν να εγγραφούν σε κάθε κύκλο ανεξάρτητα, σύμφωνα με τις επιλογές τους και η επιτυχής ολοκλήρωση κάθε κύκλου οδηγεί σε Πιστοποιητικό Μεταπτυχιακής Επιμόρφωσης του ΕΑΠ (χωρίς να είναι προαπαιτούμενη η ολοκλήρωση και των δύο κύκλων ή η σειρά ολοκλήρωσης κάθε κύκλου σε όσους επιλέξουν να εγγραφούν και στους δύο κύκλους).

Η εκπαίδευση των φοιτητών θα πραγματοποιηθεί με εφαρμογή της πρότυπης διδακτικής μεθοδολογίας εξ' αποστάσεως υποστήριξης εργαστηριακής εξάσκησης των φοιτητών με υβριδικές μορφές. Θα χρησιμοποιηθούν αναπτυξιακές πλατφόρμες που θα διανεμηθούν στους εκπαιδευόμενους, ενώ θα πραγματοποιηθεί και χρήση υποδομών εξ' αποστάσεως πρόσβασης στις εργαστηριακές δομές του ΕΑΠ. Μέρος του εκπαιδευτικού υλικού είναι στην Αγγλική γλώσσα.

### Περιγραφή εκπαιδευτικού υλικού:

Για το μέρος της απόκτησης εργαστηριακής εμπειρίας για σχεδίαση συστημάτων με χρήση VHDL και εργαλεία σχεδίασης FPGA θα χρησιμοποιηθούν τα παραδείγματα των βιβλίων

- 1) Λελίγκου, Ελένη-Αικατερίνη, Βολιώτης, Σταμάτης, Κακαρούντας, Αθανάσιος, "Η Λογική Σχεδίαση στο Εργαστήριο", Κάλλιπος, 2016, <https://repository.kallipos.gr/handle/11419/6440>
- 2) Bryan Mealy, Fabrizio Tappero, "Free Range VHDL. The no-frills guide to writing powerful code for your digital implementations", [http://freerangefactory.org/books\\_tuts.html](http://freerangefactory.org/books_tuts.html)

### Τρόπος αξιολόγησης των εκπαιδευομένων:

Υποχρεωτική εκπόνηση δύο (2) εργασιών και τελική εξέταση. Δικαίωμα συμμετοχής στην εξέταση έχουν οι φοιτητές που έχουν βαθμολογηθεί τουλάχιστον με το μισό της μέγιστης βαθμολογίας στις δύο εργασίες. Το πρόγραμμα ολοκληρώνεται επιτυχώς όταν ο φοιτητής επιτύχει και στην τελική εξέταση τουλάχιστον το μισό της μέγιστης βαθμολογίας. Ο τελικός βαθμός προκύπτει από το βαθμό των εργασιών (30%) και το βαθμό της τελικής εξέτασης (70%).

### Αξιολόγηση Προγράμματος

Για την αξιολόγηση των παρεχόμενων από το Πρόγραμμα υπηρεσιών σε επίπεδο εκπαιδευτικού έργου αλλά και διοικητικής και τεχνικής υποστήριξης, ο Εκπαιδευόμενος στο τέλος του προγράμματος καλείται να συμπληρώσει ενιαίο ερωτηματολόγιο, το οποίο περιλαμβάνει συγκεκριμένους άξονες και δείκτες αξιολόγησης, που επεξεργάζεται και παρακολουθείται από την ΜΕΑΕ του Ε.Α.Π. <sup>1</sup>

---

<sup>1</sup> Σύμφωνα με τον Εσωτερικό Κανονισμό Λειτουργίας του Κ.Ε.ΔΙ.ΒΙ.Μ., Άρθρο 8  
**Ε 600.1.2/1<sup>η</sup>** **ΣΥΣΤΗΜΑ ΔΙΑΧΕΙΡΙΣΗΣ ΠΟΙΟΤΗΤΑΣ**

### **Τύπος χορηγούμενου πιστοποιητικού**

Μετά την επιτυχή ολοκλήρωση του προγράμματος, χορηγείται «Πιστοποιητικό Μεταπτυχιακής Επιμόρφωσης» καθώς και «Παράρτημα Πιστοποιητικού Μεταπτυχιακής Επιμόρφωσης», στα οποία αναγράφονται τα εξής στοιχεία: α) η διάρκεια του προγράμματος σε ώρες, β) η μέθοδος διδασκαλίας, γ) οι πιστωτικές μονάδες (ECTS) και δ) οι τίτλοι των θεματικών ή διδακτικών ενοτήτων του προγράμματος.

Τα πιστοποιητικά υπογράφονται από τον Επιστημονικά Υπεύθυνο του Προγράμματος, τον Πρόεδρο του Κ.Ε.ΔΙ.ΒΙ.Μ και θα είναι διαθέσιμα μετά την ολοκλήρωση του προγράμματος. Σε περίπτωση μη επιτυχούς ολοκλήρωσης του Προγράμματος χορηγείται απλή «Βεβαίωση Παρακολούθησης». Για τη χορήγηση των πιστοποιητικών απαιτείται επιπλέον και η αποπληρωμή του συνόλου των διδάκτρων του Προγράμματος.

### **Λοιπές Υποχρεώσεις Εκπαιδευομένων**

Πέρα από την επιτυχή ολοκλήρωση του προγράμματος, για τη χορήγηση του Πιστοποιητικού απαιτούνται τα εξής από τους εκπαιδευομένους:

- Αποπληρωμή του συνόλου των τελών συμμετοχής
- Αποδοχή συμμετοχής τους στη διαδικασία αξιολόγησης του προγράμματος

### **Υποχρεώσεις Εκπαιδευτών**

- Επικοινωνεί μέσω της εκπαιδευτικής πλατφόρμας με τους εκπαιδευόμενους απαντώντας σε απορίες / διευκρινίσεις που τυχόν έχουν διατυπωθεί από τους εκπαιδευόμενους.
- Αναρτά στην εκπαιδευτική πλατφόρμα ανακοινώσεις αναφορικά με το μάθημα και τον τρόπο διεξαγωγής του
- Επιλύει απορίες, κατευθύνει τους εκπαιδευόμενους στην σωστή μελέτη του εκπαιδευτικού υλικού, προτείνει επιπρόσθετη βιβλιογραφία -εφόσον ζητηθεί.
- Παροτρύνει τους εκπαιδευόμενους για συμμετοχή στην εκπαιδευτική διαδικασία, εφόσον διαπιστωθεί ότι κάποιοι απέχουν από την εκπαιδευτική διαδικασία.
- Ασκεί κάθε έργο ή εργασία που άπτεται της εκπαιδευτικής υποστήριξης των εκπαιδευόμενων.
- Βαθμολογεί τυχόν ερωτήσεις ανάπτυξης (ερωτήσεις ανοικτού τύπου) και τις εργασίες των εκπαιδευόμενων.

## **Δ. Τρόπος Επιλογής & Εγγραφή στο Πρόγραμμα**

**Απαιτούμενα τυπικά προσόντα και απαραίτητα δικαιολογητικά** (επίπεδο προηγούμενων σπουδών, επαγγελματικές ιδιότητες, απαραίτητα δικαιολογητικά, κ.λπ.):

**ΠΤΥΧΙΟ ΤΡΙΤΟΒΑΘΜΙΑΣ ΕΚΠΑΙΔΕΥΣΗΣ**

**ΠΤΥΧΙΟ ΑΓΓΛΙΚΩΝ**

**Τρόπος επιλογής των εκπαιδευόμενων:** ΜΕ ΜΟΡΙΟΔΟΤΗΣΗ

**ΝΑ ΚΑΛΥΠΤΟΥΝ ΤΙΣ ΠΡΟΫΠΟΘΕΣΕΙΣ ΕΙΣΑΓΩΓΗΣ / Ελάχιστος Αριθμός Εκπαιδευομένων: 9 / Μέγιστος Αριθμός Εκπαιδευομένων: 90**

**Τρόπος εγγραφής στο πρόγραμμα:**

Η εγγραφή στο Πρόγραμμα γίνεται ηλεκτρονικά με την υποβολή Αίτησης Εγγραφής στο <https://apps.eap.gr/kedivim/web/>

**Δίδακτρα και τρόπος πληρωμής:**

Η συμμετοχή των εκπαιδευόμενων στο κόστος φοίτησης είναι 350€ εφάπαξ.

Εάν ο υποψήφιος έχει εγγραφεί στον Κύκλο ΣΕΣ-I απαλλάσσεται από το κόστος προμήθειας εκπαιδευτικού υλικού στο ΣΕΣ II - (κόστος εγγραφής 250€).

Η πληρωμή των διδάκτρων γίνεται με εφάπαξ καταβολή πριν την έναρξη της πρώτης ΤΗΛΕ-ΟΣΣ.

Τα δίδακτρα καταβάλλονται σε τραπεζικό λογαριασμό του ΕΛΚΕ του ΕΑΠ, με τα παρακάτω στοιχεία:

**-Αριθμός λογαριασμού (IBAN): GR84 0171 3190 0063 1915 1450 278**

**-Τράπεζα: Τράπεζα Πειραιώς**

**-Στοιχεία δικαιούχου: ΕΛΚΕ ΕΛΛΗΝΙΚΟ ΑΝΟΙΚΤΟ ΠΑΝΕΠΙΣΤΗΜΙΟ**

Στο αποδεικτικό κατάθεσης οπωσδήποτε να αναγράφεται κωδικός έργου: 80254, το όνομα και το επίθετο του καταθέτη καθώς και ο τίτλος του προγράμματος: «ΣΕΣ I». Το αποδεικτικό κατάθεσης του τέλους συμμετοχής να αποστέλλεται ως επισυναπτόμενο στο Email: [eterezi@eap.gr](mailto:eterezi@eap.gr)

**Πληροφορίες:**

Για περισσότερες πληροφορίες μπορείτε να απευθύνεστε στην Κα Ειρήνη Τερέζη, στην ηλεκτρονική διεύθυνση:

Email: [eterezi@eap.gr](mailto:eterezi@eap.gr)

Τηλ. 2610367542